



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08032569 A**(43) Date of publication of application: **02.02.96**

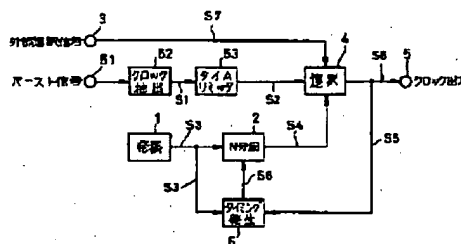
(51) Int. Cl.

**H04L 7/033****H03L 7/00**(21) Application number: **06169162**(71) Applicant: **NEC ENG LTD**(22) Date of filing: **21.07.94**(72) Inventor: **YAMASUMI SHINJI****(54) CLOCK RECOVERY CIRCUIT****(57) Abstract:**

**PURPOSE:** To attain stable clock recovery independently of a reception state or a content of received data by replacing a clock signal extracted from a burst signal with a reference clock signal.

**CONSTITUTION:** A clock extract circuit 52 extracts a clock signal and the signal is outputted as a clock output 5 via a time limiter circuit 53 and a 2:1 selection circuit 4 and given to a timing generating circuit 6. A reference clock signal outputted from a 1/N frequency divider circuit 2 and the clock output 5 are synchronized based on a load pulse generated by the circuit 6. Thus, after the phases of the two clock signals are matched with each other, an external selection signal 3 is given to the circuit 4 to allow the circuit 4 to replace the clock signal extracted from the burst signal with the reference clock signal outputted from the circuit 2 as the clock output 5. Thus, stable clock recovery is executed at all times.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-32569

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/033

H 0 3 L 7/00

B

H 0 4 L 7/ 02

B

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21)出願番号

特願平6-169162

(22)出願日

平成6年(1994)7月21日

(71)出願人

000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者

山角 真二

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74)代理人

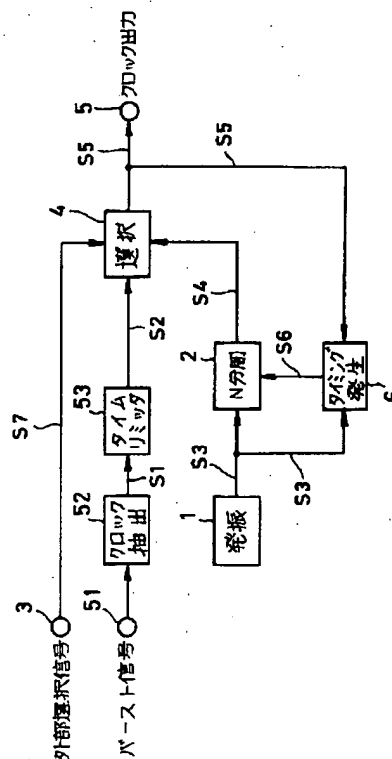
弁理士 京本 直樹 (外2名)

(54)【発明の名称】 クロック再生回路

(57)【要約】

【目的】 パースト信号のクロック再生の安定化。

【構成】 クロック抽出回路52からタンクリミッタ回路53を介して抽出したパースト信号のクロックと、このクロックのN倍周波数を発振する高速発振回路1および1/Nに分周するN分周回路2からなる基準クロックと、基準クロックをパースト信号のクロックに同期させるタイミング発生回路6とを備え、2:1選択回路4にてクロック出力をパースト信号のクロックから基準クロックに切り替える。



1

## 【特許請求の範囲】

【請求項1】 パースト信号からクロック抽出を行うクロック抽出手段と、抽出されたクロックと同一周波数を有する基準クロックと、前記2つのクロックを同期させる同期手段と、前記2つのクロックのうち一方のクロックを選択して出力するクロック選択手段とからなることを特徴とするクロック再生回路。

【請求項2】 前記基準クロックは、パースト信号から抽出されたクロックのN倍（Nは2以上の自然数）の周波数を有するN倍発振回路と、その出力をN分周するN分周回路とからなることを特徴とする請求項1記載のクロック再生回路。

【請求項3】 前記同期手段は、前記パースト信号から抽出されたクロックを前記N倍発振回路の出力で微分し、その微分出力で前記N分周回路の出力を同期させることを特徴とする請求項2記載のクロック再生回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はクロック再生回路に関し、特に時分割多元接続方式の受信装置に用いられるクロック再生回路に関する。

【0002】

【従来の技術】 図5の従来のクロック再生回路の構成図に示すように、従来のクロック再生回路は、入力51に入力したパースト信号をクロック抽出回路52でクロック成分を取り出し、タンクリミッタ回路（入力クロックの振幅にかかわらず出力振幅を一定にする回路）53で振幅と位相を安定させた後、出力54からクロック出力を取り出していた。

【0003】 図6はパースト信号のフレームフォーマット図である。同図（A）のパースト信号に示すように、パースト信号のフレームフォーマット上のクロック再生用符号（Bit Timing Recovery：以下、BTRと略す。）の部分でクロック再生が始まり、振幅と位相が決定される。また、タンクリミッタ回路53はBTR部に引き続きデータ部でも同じようにクロック再生を行う。同図（B）はパースト信号から抽出されたクロックの波形を示す。この波形はデータ部受信中に受信状態が悪くなりS/N比が低下したことを示している。

【0004】

【発明が解決しようとする課題】 しかし、従来のクロック再生回路においては、受信したパースト信号はそのパースト時間だけタンクリミッタ回路でクロック再生されるが、S/N比が悪い場合やデータ部に「0」や「1」が長く続く場合は再生するクロックに欠落が発生し、復調部の再生データに符号誤りを起こすという問題があった。

【0005】 そこで本発明の目的は、パースト信号の受信状態または受信データの内容にかかわらず安定したク

2

ロック再生を行うことができるクロック再生回路を提供することにある。

【0006】

【課題を解決するための手段】 本発明によれば、パースト信号からクロック抽出を行うクロック抽出手段と、抽出されたクロックと同一周波数を有する基準クロックと、前記2つのクロックを同期させる同期手段と、前記2つのクロックのうち一方のクロックを選択して出力するクロック選択手段とからなることを特徴とするクロック再生回路が得られる。

【0007】

【作用】 パースト信号から抽出したクロックを基準クロックに切り替えることにより、受信状態または受信データの内容にかかわらず安定したクロック再生を行うことができる。

【0008】

【実施例】 以下、本発明の一実施例について添付図面を参照しながら説明する。なお、従来例と同一部分には同一番号に付し、その説明を省略する。図1は本発明に係るクロック再生回路の一例の構成図である。

【0009】 クロック再生回路は、入力51に入力したパースト信号からクロックを抽出するクロック抽出回路52と、入力されたクロックの出力振幅を一定にするタンクリミッタ回路53と、パースト信号から抽出されたクロックのN倍の周波数を有する高速発振回路1と、その出力をN分周するN分周回路2と、タンクリミッタ回路53から出力されるクロックとN分周回路2から出力されるクロックとのいずれか一方を外部選択信号3によって選択して出力する2：1選択回路4と、クロック抽出回路52とタンクリミッタ回路53とによりパースト信号のBTR部で正しくクロック再生され位相も安定している高S/N比の再生クロック出力5を受け取って、このクロック出力5を高速発振回路1の出力で微分しロードパルスを生成するタイミング発生回路（微分回路6）とにより構成される。そして、後述するが、このロードパルスをN分周回路2に入力すると、N分周回路2の出力はタンクリミッタ回路53の出力と同位相になる。

【0010】 すなわち、パースト信号のBTR部から、クロック抽出回路52にてクロックを抽出し、このクロックをタンクリミッタ回路53および2：1選択回路4を介してクロック出力8として出力するとともにタイミング発生回路6に入力させる。そして、このタイミング発生回路6で生成されたロードパルスによりN分周回路2から出力される基準クロックとタンクリミッタ回路53から出力されるクロックとの周期をとる。

【0011】 以上の動作により受信したパースト信号BTR部からデータ部に変わる前に2：1選択回路4の2つの入力クロックは同位相となるので、同位相となった後に外部選択信号3を2：1選択回路4に入力させ、ク

ロック出力8をバースト信号から抽出されるクロックからN分周回路2から出力される基準クロックに切り替えることにより、受信状態または受信データの内容にかかわらず、クロックを常に安定させることができる。したがって、復調部の再生データに符号誤りが発生するという問題は解消する。

【0012】次に、タイミング発生回路6について説明する。この回路6はロードパルスにより、N分周回路2の出力クロックをタンクリミット回路53の出力クロックに同期させる回路である。

【0013】図2はタイミング発生回路6の一例の回路図である。このタイミング発生回路6はフリップフロップ6aと、2入力オアゲート6bとにより構成される。そして、クロック出力8がフリップフロップ6aの入力端子Dおよびオアゲート6bの一方の入力端子Eに入力される。また、高速発振回路1の出力がフリップフロップ6aの入力端子Cに入力され、フリップフロップ6aの出力端子Qnとオアゲート6bの他方の入力端子Fとが結線される。そして、このオアゲート6bの出力端子Gからロードパルスが得られる。

【0014】図3はN分周回路の一例の回路図である。なお、本実施例では8分周(N=8)した場合について説明するが、これに限定されるものでない。しかし、一般には2n(nは自然数)分周に選ぶと回路構成が簡単になる。

【0015】N分周回路2は3つのフリップフロップ2a~2cを直列接続し、最終段のフリップフロップ2cの出力端子Q3からクロック出力を取り出す公知の分周回路である。また、Q1、Q2はフリップフロップ2a、2bの出力端子である。そして、各フリップフロップのCLK端子には高速発振回路1の出力が入力され、各LDn端子にはロードパルスが入力される。

【0016】図4はタイミング発生回路の動作を示すタイミングチャートである。なお、各信号にはS1~S7およびS11~S13の符号を付して表示した(図1~図4参照)。このタイミング発生回路6の動作は以下に示すとおりである。図4を主とし図2および図3を参照しながら説明する。

【0017】まず、クロック抽出回路52から出力されたクロック出力S1と高速発振回路1のクロック出力S3がフリップフロップ6aのD端子およびC端子にそれぞれ入力される。次に、フリップフロップ6aのQn端子から出力されたクロック出力S11と2:1選択回路4から出力されたクロック出力S5とがオアゲート6b

に入力され、その出力として負のワンショットパルスS6が得られる。このS6がロードパルスである。

【0018】次に、このロードパルスS6は、N分周回路2を構成する3つのフリップフロップQ1~Q3のLDn端子に入力される。そして、図4(K)のロードパルスS6の立ち上りタイミングでN分周回路2内のクロックS12、S13および出力クロックS4は同図(H)のクロック出力S5と同期がとられる。

【0019】すなわち、バースト信号から抽出されたクロックS2と基準クロックS4の位相が一致する。

【0020】したがって、この両クロックが一致した後に外部選択信号S7を2:1選択回路4に入力し、クロックをバースト信号から抽出されたクロックS2から基準クロックS4に切り替えれば、その後に受信状態が悪化し、または受信データ部に「0」や「1」が長く続く場合でも再生するクロックが欠落することがない。

【0021】

【発明の効果】バースト信号から抽出したクロックを基準クロックに切り替えることにより、受信状態または受信データの内容にかかわらず安定したクロック再生を行うことができる。したがって、復調部の再生データに符号誤りが発生するのを防止することができる。

【図面の簡単な説明】

【図1】本発明に係るクロック再生回路の一例の構成図である。

【図2】同クロック再生回路のタイミング発生回路の一例の回路図である。

【図3】同クロック再生回路のN分周回路の一例の回路図である。

【図4】同クロック再生回路のタイミング発生回路の動作を示すタイミングチャートである。

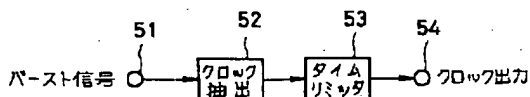
【図5】従来のクロック再生回路の構成図である。

【図6】バースト信号のフレームフォーマット図である。

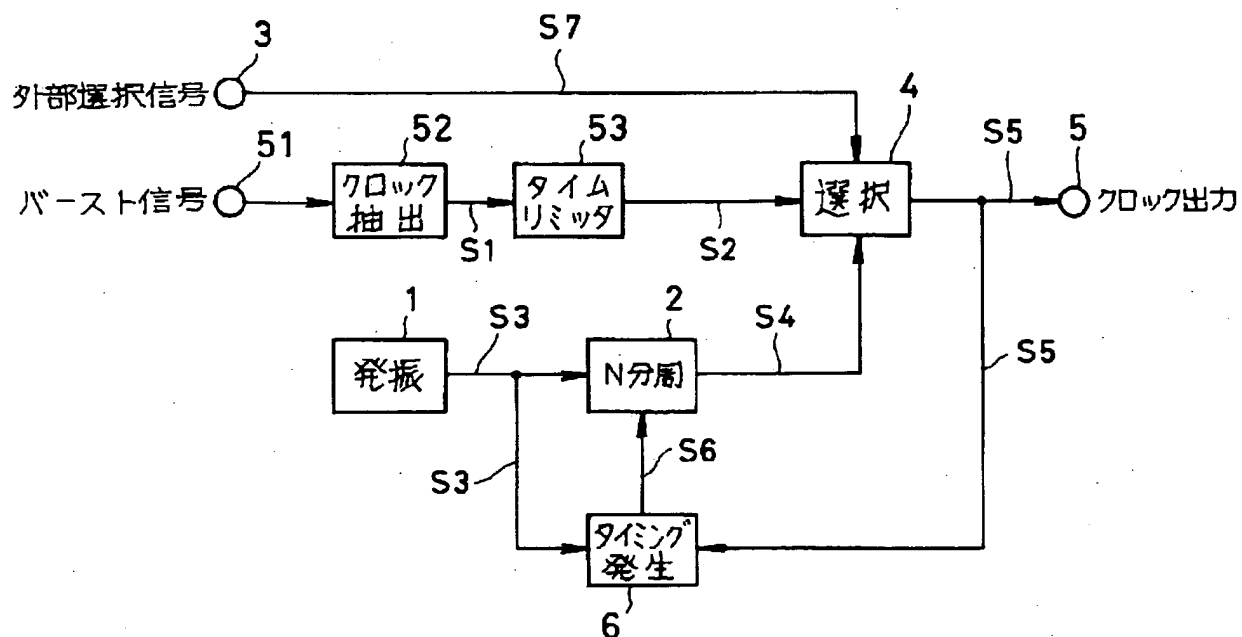
【符号の説明】

- 1 高速発振回路
- 2 N分周回路
- 3 外部選択信号
- 4 2:1選択回路
- 6 タイミング発生回路
- 6a フリップフロップ
- 6b オアゲート
- 52 クロック抽出回路
- 53 タイムリミッタ回路

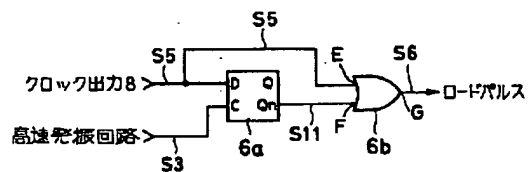
【図5】



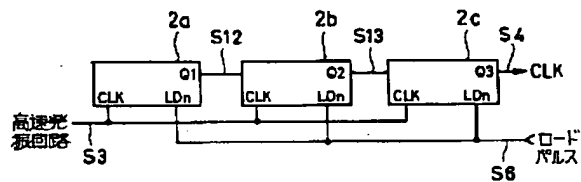
【図1】



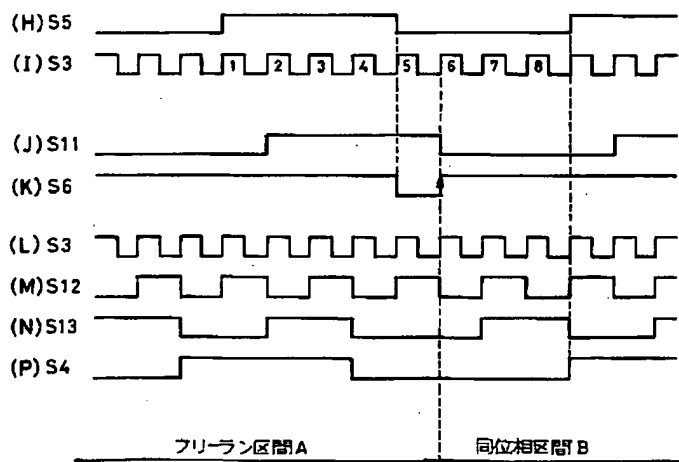
【図2】



【図3】



【図4】



【図6】

